

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-328514

(43)Date of publication of application : 13.12.1996

(51)Int.Cl.

G09G 3/36

G02F 1/133

G06F 3/147

(21)Application number : 07-133734

(71)Applicant : CANON INC

(22)Date of filing : 31.05.1995

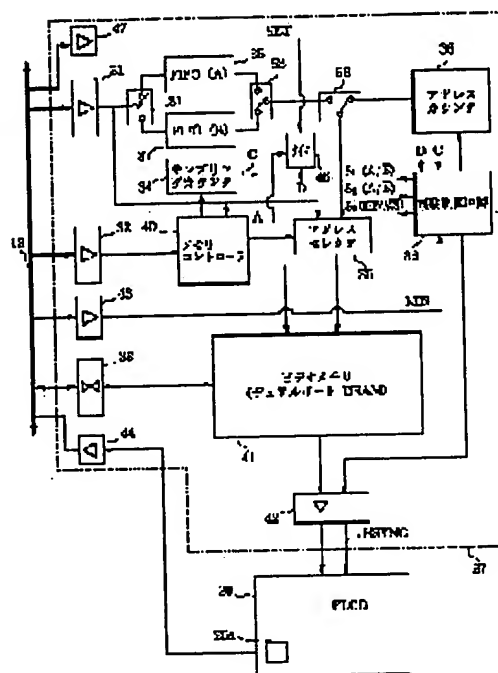
(72)Inventor : NONOSHITA HIROSHI
YAMANASHI YOSHITSUGU
MATSUZAKI HIDEKAZU
INA KENZO

(54) INFORMATION PROCESSOR

(57)Abstract:

PURPOSE: To reduce the size of a display screen and power consumption of a device by judging whether information of the desired area in display information are to be rewritten or not and performing a drive control with respect to the rewriting area based on the obtained area information.

CONSTITUTION: When a part of a display is changed by a CPU, the address signal of a video memory 41 corresponding to the rewriting of desired data is applied from the CPU to a memory controller 40 via an address bus driver 31. At this time, the arbitration between the memory access request signal of the CPU and the data transfer request signal from a synchronization control circuit 39 is performed and when a CPU access side obtains a right, the memory controller 40 performs a changeover so that the address selector 35 selects an address to which the CPU made access as an address to be applied to the memory 41. At the same time, the control signal to the video memory 41 is generated from the controller 40 and the reading/writing of data are performed via a data bus driver 33.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim]

[Claim 1] The information processor have a decision means judge whether the information on the field of the request of the informations currently displayed with a display means display an information, and the pre-display means rewrites, a field information acquisition means obtain the field judged by the aforementioned decision means, and the display-control means that carry out a drive control to the rewriting field of the aforementioned display means based on the field information acquired by the aforementioned field information acquisition means.

[Claim 2] The aforementioned rewriting field is an information processor given in the claim 1 characterized by rewriting per page.

[Claim 3] The aforementioned decision means is an information processor given in the claim 1 characterized by what a processing means judges.

[Claim 4] The information processor which has a storage means by which the information which should be displayed is memorized, an update means to update a part of content of the aforementioned storage means, a decision means to judge the information field updated by the aforementioned update means, and a drive control means to drive the information rewriting viewing area of a display means based on the information field judged by the aforementioned decision means.

[Claim 5] The aforementioned storage means is an information processor given in the claim 4 characterized by being bit memory.

[Claim 6] The aforementioned update means is an information processor given in the claim 1 characterized by updating the aforementioned storage means per page.

[Claim 7] A display means is an information processor given in the claim 4 characterized by having storage nature.

[Translation done.]

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed description]

[0001]

[Field of the Invention] this invention relates the display device which can hold the display status which uses as a medium of operation for the update of a display of a ferroelectric liquid crystal, and was updated by impression of the electric field etc. in detail to the information processor using ***** display about a display controller.

[0002]

[Prior art] Generally, display is connected to information processing system as an information-display means to achieve an informational visual-sense display function. Although CRT was widely used as such display, since the length of the thickness orientation of the display screen is needed to some extent, the capacity becomes large collectively, and especially CRT seldom attains a miniaturization of the whole display. Moreover, degree of freedom, such as portability, the degree of freedom, i.e., the installation, which gets poisoned by use of the information processing system using such CRT as a drop by this, is spoiled.

[0003]

[Object of the Invention] this invention aims at offering the information processor which can mitigate a size, and the quality of image and power consumption of the display screen.

[0004]

[The means for solving a technical problem] It constitutes by the decision means judge whether this invention rewrites the information on the field of the request of the informations currently displayed with a display means display an information, and a pre-display means in order to realize the above-mentioned purpose, the field information acquisition means obtain the field judged by the aforementioned decision means, and the display-control means carry out a drive control to the rewriting field of the aforementioned display means based on the field information acquired by the aforementioned field information acquisition means.

[0005] A storage means to by which the information which should be displayed has been memorized again, an update means update a part of content of the aforementioned storage means, a decision means judge the information field updated by the aforementioned update means, and a drive control means drive the information rewriting viewing area of a display means based on the information field judged by the aforementioned decision means realize this invention.

[0006]

[Example] With reference to a drawing, the example of this invention is explained below.

[0007] Drawing 1 is the block block diagram of the whole information processing system incorporating the display controller concerning one example of this invention.

[0008] In drawing, CPU by which 11 controls the whole information processing system, and 12 An address bus, A control bus, the system bus which consists of a data bus, and 13 memorize a program, or The DMA controller which performs a data transfer between memory and I/O equipment, without the main memory used as a work field and 14 minding CPU11 (it is called Direct Memory Access Controller and following DMAC), 15 LAN interface between LAN (local network)16, such as Ethernet (based on XEROX) The I/O device for I/O-equipment connection

which 17 becomes from the interface of ROM, SRAM, and an HSD200 specification. The floppy disk drive unit and 20 for a hard disk drive unit and 19 The disk interface for a hard disk drive unit 18 or the floppy disk drive unit 19, 21 For example, the printers of a high resolution, such as a laser beam printer and an ink jet printer, The keyboard for 22 performing the printer interface for a printer 21, and 23 inputting character others, such as a character and a number The mouse whose 24 is a pointing device, and 25 The interface for a keyboard 23 or the mouse 24, FLCD (FLC display) which can constitute 26 using the drop indicated by for example, these people in the Provisional-Publication-No. 243993 [63 to] official report etc., and 27 are FLCD interfaces for FLCD26.

[0009] FLCD interface drawing 2 is the block diagram showing the example of a configuration of the FLCD interface 27 as one example of this invention display controller.

[0010] As for an address bus driver and 32, in drawing, a control bus driver, and 33, 43 and 44 is [31] data bus drivers. From the address bus driver 31, by switch of the 1st switch S1, it is alternatively given the memory 36 or 37 of FIFO gestalt, and the address data from CPU11 are memorized while they are given to one input section of the memory controller 40 and the address selector 35. That is, these memory 36 and 37 (respectively henceforth FIFO (A) and FIFO (B)) is FIFO (First In First Out) memory which reads data to the written-in order, and the address data written in such memory 36 and 37 are alternatively read by switch of the 2nd switch S2.

[0011] The address data read from such memory 36 or 37 and the address data from an address counter 38 mentioned later are alternatively given the input section of another side of an address selector 35 by switch of the 3rd switch S3. An address counter 38 generates the address data for refreshing the whole screen in line sequential, and the occurrence timing of the address data is controlled by the synchronusr-control circuit 39. This synchronusr-control circuit 39 also generates the switch control signal of the aforementioned switches S1, S2, and S3, and the data transfer demand signal to the memory controller 40 mentioned later.

[0012] The control signal from CPU11 is given to the memory controller 40 from the control bus driver 32, and the memory controller 40 generates the sampling counter 34, the control signal of an address selector 10, and the control signal of the video memory 41 mentioned later. the sampling counter 34 -- the stepping signal from the memory controller 40 -- being based -- counting -- it operates and the control signal of the synchronusr-control circuit 39 is generated Moreover, an address selector 35 chooses one side of two address data given to the input section of the concerned address selector 35 based on the control signal from the memory controller 40, and gives it to the video memory 41.

[0013] The video memory 41 memorizes an indicative data in a bit image, consists of a DRAM (dynamic RAM) of a dual port, and performs writing and read-out of an indicative data through the aforementioned data bus driver 33. The indicative data written in the video memory 41 is transmitted and displayed on FLCD26 through a driver 42. Moreover, the driver 42 gives the synchronizing signal from the synchronusr-control circuit 39 to FLCD26. Temperature sensor 26a which detects the temperature of FLC is included in FLCD26.

[0014] Moreover, the below-mentioned setting data of CPU11 are given to the synchronusr-control circuit 39 through the data bus driver 43. Furthermore, the output signal of temperature sensor 26a is transmitted to CPU11 through the data bus driver 44. 46 -- a timer -- it is -- this example -- a bus driver 47 -- minding -- CPU11 -- the time check -- it considered as what can set up time And this timer 46 is reset / restarted by access signal A which the memory controller 40 generates whenever it is accessed by CPU11, and when counting of the setup time is carried out from the time of the concerned access signal input, it generates deadline signal D.

[0015] In this example, while FLCD interface turns horizontal synchronizing signal HSYNC to FLCD and sends it out, a conversion in the static mode is made to be performed using the concerned HSYNC signal. That is, FLCD in this example operates HSYNC signal like well-known LCD and well-known CRT to a host or FLCD interface as a passive device which receives and operates, and the status of FLC panel that it does not drive is acquired using a part of the function.

[0016] The synchronusr-control circuit 39 in this example possesses the VCO for generating

HSYNC signal further, a counting-down circuit, etc., and supplies the counter-down signal to FLCD26 through a driver 42. And according to deadline signal D which a timer 46 generates, it is constituted so that supply of HSYNC signal may be stopped. What is necessary is just to add a logic gate to which the de energization of the HSYNC signal is carried out according to signal D for this HSYNC signal halt.

[0017] In the configuration more than an operation of the update of a display, when CPU11 changes the one section of a display, the address signal of the video memory 41 corresponding to rewriting of the data for which it asks is given to the memory controller 40 from CPU11 through the address bus driver 31, and the Arbitration of the memory access demand signal of CPU11 and the data transfer demand signal from the synchronusr-control circuit 39 is performed here. And if CPU access side acquires a right, the memory controller 40 will switch so that the address which CPU accessed as address given to memory 41 may be chosen to an address selector 35. The control signal of the video memory 41 is generated from the memory controller 40 simultaneously with this, and the read and write of data is performed through the data bus driver 33. At this time, CPU access address 20 is memorized by FIFO (A)36 or FIFO (B) 37 through a switch S1, and is used in the case of a transfer of the indicative data mentioned later. Thus, the access technique of the indicative data seen from CPU11 does not change at all with the case of CRT.

[0018] Moreover, when data are read from the video memory 41 and it transmits to FLCD26, A data transfer demand is generated from the synchronusr-control circuit 39 to the memory controller 40. While the address counter 38 or FIFO side address is chosen in an address selector 35 as address over the video memory 41 By the control signal for data transfer being generated from the memory controller 40, the data of the applicable address are transmitted to a shift register from a memory cell, and it is outputted to a driver 42 by the control signal of a serial port.

[0019] In the synchronusr-control circuit 39, the timing which produces by turns the partial rewriting cycle which rewrites the line accessed by the cycle which is completely refreshed for a screen in line sequential, and goes, and CPU11 is generated, using two or more lines as a unit based on horizontal synchronizing signal HSYNC which oneself generates. Here, if it rewrites towards a lower part one by one from the line (head line) of the display screen top top and results to the bottom line, the cycle of complete refreshment returns to a head line again, will repeat rewriting and will go. Moreover, the rewriting cycle of an access line rewrites the line accessed from CPU11 within the predetermined time in front of the cycle.

[0020] Thus, although the operation which is fundamentally refreshed for the whole screen surface of the FLC display 26 one by one, and goes in this example, and the operation which rewrites the line accessed by CPU11 that change of the content of a display should be performed are performed to time sharing by turns While a setup of a repetition synchronization of these operations and the time proportion of these operations within an one week time is still enabled, the term of line rewriting (partial rewriting) of operation is adjusted according to the number of the lines accessed by CPU11 etc.

[0021] Here, the fundamental operation of this example which performs an operation of refreshment and an operation of line rewriting to time sharing by turns using drawing 3 is explained. Here, the example in the case of performing three lines for the rewriting cycle of an access line as a unit is shown, using four lines as a unit for the cycle of refreshment.

[0022] In drawing 3, REF / inversion ACS is timing which produces the cycle of complete refreshment, and the rewriting cycle of an access line by turns, is the cycle of complete refreshment of the time of "1", and shows that the time is the rewriting cycle of an access line of "0." Moreover, Ta The time of the cycle of complete refreshment and Tb express the time of the rewriting cycle of an access line. It sets for this example and is Ta. : Although referred to as Tb =4:3, the optimum value can be chosen by the refresh rate demanded. Namely, Ta If a rate is enlarged, a refresh rate can be raised, and it is Tb. If a rate is enlarged, responsibility of a partial change can be improved. About this mode, it mentions later.

[0023] If a switch S1 is connected for explaining the status of FIFO (A)36 and FIFO (B)37 at FIFO (A)36 side (status A / inversion B= 1), the address of a line which CPU11 accesses will be

sampled and memorized by FIFO (A)36. On the other hand, if a switch S1 is connected to FIFO (B)37 side (A / inversion B= 0), the line address which CPU11 accesses will be memorized by FIFO (B)37. Moreover, if the address memorized by FIFO (A)36 when the switch S2 was connected to FIFO (A)36 side (A / inversion B= 1) is outputted and a switch S2 is connected to FIFO (B)37 side (A / inversion B= 0), the address memorized by FIFO (B)37 will be outputted. [0024] If a carry arises in that one refreshment of the whole screen is completed ***, or the address counter 38, an address counter 38 will be cleared, and the line outputted in the cycle of the following complete refreshment returns to the 0th line, and carries out the count rise one by one with "1", "2", and "3" for every horizontal synchronizing signal HSYNC given from the synchronous-control circuit 39. If the address of lines L1, L2, and L3 is accessed from CPU11 in the meantime, since the switch S1 is connected to FIFO (A)36 The address of L1, L2, and L3 is memorized here, when a switch S2 is connected to FIFO (A)36 after that, the address of L1, L2, and L3 is outputted from here, and L1, L2, and L3 are chosen as an output line. Here, the switching signal of a switch S3 is given as REF / inversion ACS from the synchronous-control circuit 39, and is switched to FIFO (A) and FIFO (B) side as output line address in the cycle of a line access.

[0025] And since the switch S1 is connected to FIFO (B)37 side at this time, the access address is memorized at FIFO (B)37 side. If REF / inversion ACS is set to "1", a switch S3 will be switched to an address counter 38 side, and will perform a refreshment operation from the line of a continuation of a front cycle. In drawing 4, the line of "4", "5", "6", and "7" which is a continuation of a front cycle is outputted after the line output of L3. It is for performing efficiently that there is no conflict [output / the address which sampled the address by which memory access was carried out and was simultaneously sampled on the other hand by one side / like the following / having prepared two FIFO, although the above-mentioned operation was repeated]. That is, the address sampling term of FIFO of another side will be started at the same time it goes into the rewriting cycle of the access line which outputs the address which the sampling term of the address is from output start of the access line of FIFO of another side to an end of a whole surface refresh cycle, and was sampled in the sampling term of after an end of a whole surface refresh cycle, and a just before.

[0026] As mentioned above, it is Ta, repeating a refresh cycle and the cycle of line rewriting by turns in a fundamental operation of this example, and using seven lines as one unit for the cycle period in drawing 4. : Although explained as Tb =4:3, at this example, it is Ta further by the modality of environmental conditions, such as temperature, or data to display, or the refresh rate further demanded according to the difference in the display device material of FLC etc. Tb Change of proportion is enabled. Namely, the rate of Ta (several lines in 1 refresh cycle M correspondence.) That is, if Ta =Mx (period of HSYNC) is enlarged, when a refresh rate can be improved, for example, it will display the case where the responsibility of FLC elements, such as the time of low temperature, is low, and an image picture image, the good display status can be acquired. Conversely, the rate of Tb (several lines in one partial rewriting cycle N correspondence.) That is, responsibility of change of Tb =Nx (period of HSYNC) of size, then a partial display can be made high, and when refresh rates, such as the time of a display of the characters, such as the time of an elevated temperature and a character, do not need to be high, it can correspond.

[0027] Moreover, at this example, it enables it to change the rate of a refresh cycle and partial rewriting more finely, and a warmer optimization is attained by enabling a setup of the number of lines of a cycle period. For example, the number of lines of a cycle period is made into 40 lines to give priority to or give priority to a refresh rate, and it is Ta. : Tb =4:1, then complete refreshment can be performed by 32 lines, and the access line of eight lines can be rewritten. Moreover, the number of lines of a cycle period is made into ten lines to give priority to or give priority to partial rewriting, and it is Ta. : Tb =3:2, then complete refreshment can be performed by six lines, and the access line of four lines can be rewritten.

[0028] Furthermore, according to the number of lines and line access status which were accessed by CPU11 within the limits of the number of lines of partial rewriting set up such, actual number P of partial rewriting lines performed between refresh cycles can be adjusted.

That is, it responds to the number of lines which CPU11 accessed, and is dynamically. The useless line rewriting cycle when seldom being accessed is excluded from CPU11, and it is made to improve a refresh rate by adjusting time. By this, the relation between flattery nature of operation and a refresh rate can be dynamically optimized now. About these, it is indicated in the Japanese-Patent-Application-No. 105626 [two to] official report by these people.

[0029] The block diagram 4 of FLCD26 shows the example of a configuration of FLCD26. Here, 261 consists of the transparent-electrode wiring group which was FLC panel, for example, was prepared on the glass substrate of the vertical couple with a deflection child which enclosed FLC in between like, and the up-and-down glass substrate although indicated by the Provisional-Publication-No. 243919 [63 to] official report. The wiring orientation of the wiring group on an up glass substrate and the wiring group on a lower glass substrate is orientation which intersects perpendicularly mutually, and the number of wirings can be suitably defined according to the size of the display screen, and resolution. In this example, by the density of 4pels, 960 are formed in the orientation of a horizontal scanning, the wiring of 1312 is formed in the orientation of a vertical scanning, and since the orientation status of FLC in the fraction is changeable with the polarity of the electric field and strength which the decussation fraction of a wiring is made to produce, the number of display pixels of FLC panel of this example is set to 1312x960.

[0030] In this example, 1312 wiring groups which **** in the orientation of a horizontal scanning are called a common side wiring, and the sequential line address described above to these is assigned. Moreover, 960 wiring groups which **** in the orientation of a vertical scanning are called a segment side wiring, and when a certain common side wiring (line) is chosen and this is driven, a display of the concerned line, a deletion, and an update are performed by driving a segment side wiring group.

[0031] In drawing 4, 263 and 265 are the mechanical components (it is called a common mechanical-component and segment mechanical component, respectively) for driving a common side wiring group side and segment side wiring, and drive each wiring in the voltage signal of a suitable wave according to an indicative data, respectively. About the wave, it is indicated by the Provisional-Publication-No. 243919 [63 to] official report, for example.

[0032] An indicative-data signal is inputted from the video memory 41 about a display line as serial signals Address/Data which consist of a data constellation (data for 960 dots) which follows the fraction which shows the line address, and it. Moreover, in order to discriminate a part for address part and the data constellation of the concerned signal, the recognition signals AH/DL which serve as H by part for address part, and serve as L in a data constellation fraction are supplied. In the data-conversion section 1267, based on the concerned recognition signals AH/DL, address (line address) Address and data constellation Data are separated from the indicative-data signals Address/Data, and it sets to the common mechanical component 263 and the segment mechanical component 265, respectively. Moreover, horizontal scanning signal HSYNC is delivered from FLCD interface side to this data-conversion section 267.

[0033] Furthermore, 1269 is a control section and stops a drive of FLC panel to the common mechanical component 263 and the segment mechanical component 265 at the time of un-inputting of the horizontal synchronizing signal to the data-conversion section 1267. This shifts to the static mode. Although various formulae can be considered because of this drive halt, for example, the output voltage can be made to hold to a constant value to both mechanical components. In this case, since the potential difference is lost between a common line and a segment line, FLC element is not driven, therefore the reinforcement which is the key objective of this invention can be attained. Moreover, a low thing, then power-saving-ization can attain the output voltage at that time. And since change does not arise in the orientation status with the property of FLC element even if it stops a drive in this way, a display function is not checked. Since the update (refreshment) of a display is not rather performed by considering as the status that it does not drive, either, the display status that there is no flicker will be acquired.

[0034] Drawing 5 is a flow chart explaining an operation. That is, when there is an access into the viewing area from CPU11, the field information on rewriting is acquired and the corresponding common mechanical component 263 and the corresponding segment mechanical component 265 are driven.

[0035] These operations are performed as an operation of the memory controller 30 and the synchronous-control circuit 39.

[0036] Next, as shown in drawing 6 as other examples, a display panel is made into a page size, two are prepared, an animation can be displayed on one display-panel FLCA, and FLCB can also be made to display a still picture on other panels.

[0037] Drawing 7 investigated whether the operation flow in the configuration would be shown and there would be any access to the page which should be displayed, and it constituted it so that an information might be rewritten to the display panel with an access.

[0038]

[Effect of the invention] this invention gives enhancement to a drive control of the display field in low-power-izing of the display in expansion-izing of a display panel, or large-sized-izing of a display panel.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[An easy explanation of a drawing]

[Drawing 1] It is the block diagram of the whole information processor incorporating the display controller of one example of this invention.

[Drawing 2] It is the block diagram showing the configuration of FLCD interface as one example of this invention.

[Drawing 3] Drawing showing the drive wave of a display panel.

[Drawing 4] The block diagram showing the configuration of a display panel.

[Drawing 5] Drawing showing the flow explaining an operation of an example.

[Drawing 6] The block diagram showing the configuration of a display panel.

[Drawing 7] Drawing showing the flow explaining an operation of an example.

[An explanation of a sign]

11 CPU

12 Address Bus

13 System Bus

14 DMA Controller

15 LAN Interface

16 LAN

17 I/O Device

18 Hard Disk Drive Unit

19 Floppy Disk Drive Unit

20 Disk Interface

[Translation done.]

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 0 5		G 0 2 F 1/133	5 0 5
G 0 6 F 3/147			G 0 6 F 3/147	F L

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願平7-133734

(22) 出願日 平成7年(1995)5月31日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 野々下 博

東京都大田区下丸子3丁目30番2号キヤノ
ン株式会社内

(72) 発明者 山梨 能嗣

東京都大田区下丸子3丁目30番2号キヤノ
ン株式会社内

(72) 発明者 松崎 英一

東京都大田区下丸子3丁目30番2号キヤノ
ン株式会社内

(74) 代理人 弁理士 丸島 徹一

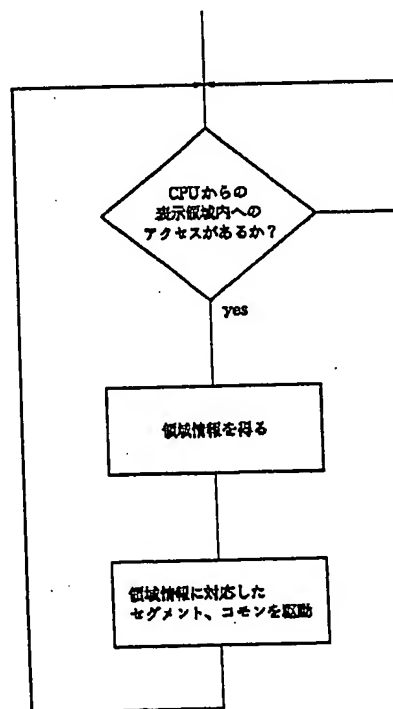
最終頁に続く

(54) 【発明の名称】 情報処理装置

(57) 【要約】

【目的】 表示画面の大型化に対して、消費電力を軽減する情報処理装置を目的とする。

【構成】 本発明は、情報を表示する表示手段と、前表示手段で表示されている情報の内の所望の領域の情報を書き換えるか否かを判断する判断手段と、前記判断手段により判断された領域情報を得る領域情報入手手段と、前記領域情報入手手段により得られた領域情報に基づいて前記表示手段の書き換え領域に対して駆動制御する表示制御手段とを有することにより実現する。



1

【特許請求の範囲】

【請求項1】 情報を表示する表示手段と、
前表示手段で表示されている情報の内の所望の領域の情報を書き換えるか否かを判断する判断手段と、
前記判断手段により判断された領域を得る領域情報入手手段と、
前記領域情報入手手段により得られた領域情報に基づいて前記表示手段の書き換え領域に対して駆動制御する表示制御手段とを有する情報処理装置。

【請求項2】 前記書き換え領域は頁単位で書き換えることを特徴とする請求項1に記載の情報処理装置。

【請求項3】 前記判断手段は、処理手段が判断することを特徴とする請求項1に記載の情報処理装置。

【請求項4】 表示すべき情報を記憶している記憶手段と、

前記記憶手段の内容を一部更新する更新手段と、
前記更新手段により更新された情報領域を判断する判断手段と、

前記判断手段により判断された情報領域に基づいて表示手段の情報書き換え表示領域を駆動する駆動制御手段とを有する情報処理装置。

【請求項5】 前記記憶手段は、ビットメモリであることを特徴とする請求項4に記載の情報処理装置。

【請求項6】 前記更新手段は頁単位で前記記憶手段を更新することを特徴とする請求項1に記載の情報処理装置。

【請求項7】 表示手段は記憶性を備えたことを特徴とする請求項4に記載の情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、表示制御装置に関し、詳しくは、例えば強誘電性液晶を表示更新のための動作媒体として用い電界の印加等によって更新された表示状態を保持可能な表示素子を用いた表示装置を利用した情報処理装置に関する。

【0002】

【従来の技術】一般に、情報処理システムなどには、情報の視覚表示機能を果す情報表示手段として表示装置が接続されている。このような表示装置としてはCRTが広く利用されていたが、CRTは特に表示画面の厚み方向の長さがある程度必要とするため全体としてその容積が大きくなり、表示装置全体の小型化を図り難い。また、これにより、このようなCRTを表示器として用いた情報処理システムの使用にあたっての自由度、すなわち設置場所、携帯性等の自由度が損われる。

【0003】

【発明が解決しようとする課題】本発明は、表示画面の大きさと、画質及び消費電力を軽減できる情報処理装置を提供することを目的とする。

【0004】

2

【課題を解決するための手段】本発明は上述の目的を実現する為、情報を表示する表示手段と、前表示手段で表示されている情報の内の所望の領域の情報を書き換えるか否かを判断する判断手段と、前記判断手段により判断された領域を得る領域情報入手手段と、前記領域情報入手手段により得られた領域情報に基づいて前記表示手段の書き換え領域に対して駆動制御する表示制御手段とにより構成する。

【0005】本発明は、また、表示すべき情報を記憶している記憶手段と、前記記憶手段の内容を一部更新する更新手段と、前記更新手段により更新された情報領域を判断する判断手段と、前記判断手段により判断された情報領域に基づいて表示手段の情報書き換え表示領域を駆動する駆動制御手段とにより実現するものである。

【0006】

【実施例】以下図面を参照して本発明の実施例を説明する。

【0007】図1は本発明の一実施例に係る表示制御装置を組み込んだ情報処理システム全体のブロック構成図である。

【0008】図において、11は情報処理システム全体を制御するCPU、12はアドレスバス、コントロールバス、データバスからなるシステムバス、13はプログラムを記憶したり、ワーク領域として使われるメインメモリ、14はCPU11を介さずにメモリとI/O機器間でデータの転送を行うDMAコントローラ(Direct Memory Access Controller、以下DMACという)、15はイーサネット(XEROX社による)等のLAN(ローカルネットワーク)16との間のLANインターフェース、17はROM、SRAM、RS232C仕様のインターフェース等からなるI/O機器接続用のI/O装置、18はハードディスク装置、19はフロッピーディスク装置、20はハードディスク装置18やフロッピーディスク装置19のためのディスクインターフェース、21は例えばレーザービームプリンタ、インクジェットプリンタ等高解像度のプリンタ、22はプリンタ21のためのプリンタインターフェース、23は文字、数字等のキャラクタその他の入力を行うためのキーボード、24はポインティングデバイスであるマウス、25はキーボード23やマウス24のためのインターフェース、26は例えば本出願人により特開昭63-243993号公報等において開示された表示器を用いて構成できるFLCD(FLCディスプレイ)、27はFLCD26のためのFLCDインターフェースである。

【0009】FLCDインターフェース

図2は本発明表示制御装置の一実施例としてのFLCDインターフェース27の構成例を示すブロック図である。

【0010】図において、31はアドレスバスドライ

バ、32はコントロールバスドライバ、33、43、44はデータバスドライバである。CPU11からのアドレスデータは、アドレスバスドライバ31から、メモリコントローラ40およびアドレスセクタ35の一方の入力部に与えられるとともに、第1のスイッチS1の切り換えによってFIFO形態のメモリ36または37に選択的に与えられて記憶される。すなわち、これらメモリ36および37（以下、それぞれFIFO(A)およびFIFO(B)ともいう）は、書き込んだ順番にデータを読み出すFIFO(First In First Out)メモリであり、これらのメモリ36および37に書き込まれたアドレスデータは、第2のスイッチS2の切り換えによって選択的に読み出される。

【0011】これらのメモリ36または37から読み出されたアドレスデータと、後述するアドレスカウンタ38からのアドレスデータは、第3のスイッチS3の切り換えによって選択的にアドレスセクタ35の他方の入力部に与えられる。アドレスカウンタ38は、画面全体をライン順次にリフレッシュするためのアドレスデータを発生するものであり、そのアドレスデータの発生タイミングは同期制御回路39によって制御される。この同期制御回路39は、前記スイッチS1、S2およびS3の切り換え制御信号や後述するメモリコントローラ40へのデータトランスファ要求信号をも発生する。

【0012】CPU11からのコントロール信号は、コントロールバスドライバ32からメモリコントローラ40に与えられ、そのメモリコントローラ40は、サンプリングカウンタ34と、アドレスセクタ10の制御信号、および後述するビデオメモリ41の制御信号を発生する。サンプリングカウンタ34は、メモリコントローラ40からの歩進信号に基づいて計数動作を行い、同期制御回路39の制御信号を発生する。また、アドレスセクタ35は、メモリコントローラ40からの制御信号に基づいて、当該アドレスセクタ35の入力部に与えられる2つのアドレスデータの一方を選択してビデオメモリ41に与える。

【0013】ビデオメモリ41は表示データをビットイメージで記憶するものであり、デュアルポートのDRAM(ダイナミックRAM)で構成されていて、前記データバスドライバ33を介して表示データの書き込みと読み出しを行う。ビデオメモリ41に書き込まれた表示データは、ドライバ42を介してFLCD26に転送されて表示される。また、そのドライバ42は、同期制御回路39からの同期信号をFLCD26に与える。FLCD26には、FLCの温度を検出する温度センサ26aが組み込まれている。

【0014】また、CPU11からの後述の設定データは、データバスドライバ43を介して同期制御回路39に与えられる。さらに、温度センサ26aの出力信号はデータバスドライバ44を介してCPU11に転送され

る。46はタイマであり、本例ではバスドライバ47を介してCPU11によりその計時時間を設定可能なものとした。そして、このタイマ46はCPU11によりアクセスされる度にメモリコントローラ40が発生するアクセス信号Aによりリセット/リスタートされ、当該アクセス信号入力時より設定時間を計数したときにタイムアップ信号Dを発生する。

【0015】本例ではFLCDインターフェースが水平同期信号HSYNCをFLCDに向けて送出するようにするとともに、当該HSYNC信号を用いてスタンディックモードへの移行が行われるようにする。すなわち、本例におけるFLCDはホストないしFLCDインターフェースに対して公知のLCDやCRTと同様HSYNC信号を受取って動作する受動デバイスとして機能させ、その機能の一部を用いてFLCパネルの非駆動状態が得られるようにする。

【0016】本例における同期制御回路39は、さらにHSYNC信号を発生するための発振器、分周器等を具備し、当該HSYNC信号をドライバ42を介してFLCD26に供給する。そして、タイマ46が発生するタイムアップ信号Dに応じ、HSYNC信号の供給を停止するように構成されている。このHSYNC信号停止のためには、信号Dに応じてHSYNC信号が消勢されるような論理ゲートを付加すればよい。

【0017】表示更新の動作

以上の構成において、CPU11が表示の1部の変更を行う場合、所望するデータの書換えに対応するビデオメモリ41のアドレス信号がアドレスバスドライバ31を介してメモリコントローラ40にCPU11から与えられ、ここでCPU11のメモリアクセス要求信号と同期制御回路39からのデータトランスファ要求信号とのアービトレーションが行われる。そしてCPUアクセス側が権利を得るとメモリコントローラ40はアドレスセクタ35に対し、メモリ41へ与えるアドレスとしてCPUがアクセスしたアドレスを選択するよう切換えを行う。これと同時にメモリコントローラ40からビデオメモリ41の制御信号が発生され、データバスドライバ33を介してデータの読書きが行われる。このとき、CPUアクセスアドレス20はスイッチS1を介してFIFO(A)36またはFIFO(B)37に記憶され、後述する表示データの転送の際利用される。このようにCPU11から見た表示データのアクセス方法は、CRTの場合と少しも変わらない。

【0018】また、ビデオメモリ41からデータを読み出し、FLCD26へ転送する場合、同期制御回路39からメモリコントローラ40へデータトランスファ要求が発生され、ビデオメモリ41に対するアドレスとしてアドレスカウンタ38またはFIFO側アドレスがアドレスセクタ35において選択されるとともに、メモリコントローラ40よりデータトランスファ用の制御信号が

生成されることで、メモリセルからシフトレジスタへ該当アドレスのデータが転送され、シリアルポートの制御信号によりドライバ42へ出力される。

【0019】同期制御回路39では、自らが発生する水平同期信号HSYNCに基づいて複数ラインを単位として画面をライン順次に全面リフレッシュして行くサイクルとCPU11によりアクセスされたラインの書換えを行う部分書換えサイクルとを交互に生じさせるタイミングを生成する。ここで、全面リフレッシュのサイクルとは表示画面上一番上のライン（先頭ライン）から順次に
10 下方へ向けて書換えを行っていき、一番下のラインまで至ると再び先頭ラインに戻って書換えを繰返して行くものである。また、アクセスラインの書換えサイクルとはそのサイクルの直前の所定時間内にCPU11からアクセスされたラインを書き換えるものである。

【0020】このように、本例においては、基本的にはFLCディスプレイ26の画面全面を順次リフレッシュして行く動作と、表示内容の変更をおこなうべくCPU11によりアクセスされたラインの書換えを行う動作とを時分割に交互に行うが、さらにそれら動作の繰返し同期と1週期内におけるそれら動作の時間的比率とを設定可能とするとともに、ライン書換え（部分書換え）の動作期間をCPU11によりアクセスされたラインの数等
20 に応じて調整するようにする。

【0021】ここで、図3を用いてリフレッシュの動作とライン書換えの動作とを時分割に交互に行う本例の基本的動作について説明する。ここでは、リフレッシュのサイクルを4ラインを単位として、アクセスラインの書換えサイクルを3ラインを単位として行う場合の例を示す。

【0022】図3において、REF/反転ACSは全面リフレッシュのサイクルとアクセスラインの書換えサイクルとを交互に生じさせるタイミングであり、“1”の
30 ときが全面リフレッシュのサイクルで、“0”のときがアクセスラインの書換えサイクルであることを示す。また、 T_r は全面リフレッシュのサイクルの時間、 T_w はアクセスラインの書換えサイクルの時間を表す。この例においては、 $T_r : T_w = 4 : 3$ としているが、要求されるリフレッシュレート等によって最適な値を選ぶことができる。すなわち、 T_r の割合を大きくすればリフレッシュレートを上げることができ、 T_w の割合を大きくすれば部分的な変更の応答性を良くすることができる。この態様については後述する。

【0023】FIFO(A)36およびFIFO(B)37の状態を説明するに、スイッチS1がFIFO(A)36側に接続されると（状態A/反転B=1）、CPU11がアクセスするラインのアドレスはFIFO(A)36にサンプリングされて記憶される。一方スイッチS1がFIFO(B)37側に接続されると（A/反転B=0）、CPU11がアクセスするラインアドレ
50

スがFIFO(B)37に記憶される。また、スイッチS2がFIFO(A)36側に接続されると（A/反転B=1）、FIFO(A)36に記憶されたアドレスが出力され、スイッチS2がFIFO(B)37側に接続されると（A/反転B=0）、FIFO(B)37に記憶されたアドレスが出力される。

【0024】画面全体の1回のリフレッシュが完了したり、あるいはアドレスカウンタ38にキャリーが生じるとアドレスカウンタ38がクリアされ、次の全面リフレッシュのサイクルで出力されるラインは第0ラインに戻り、同期制御回路39より与えられる水平同期信号HSYNC毎に“1”、“2”、“3”と順次カウントアップしていく。この間にCPU11よりラインL1、L2、L3のアドレスがアクセスされると、スイッチS1がFIFO(A)36に接続されているので、L1、L2、L3のアドレスがここに記憶され、その後スイッチS2がFIFO(A)36に接続された時点でL1、L2、L3のアドレスがここから出力され、出力ラインとしてL1、L2、L3が選ばれる。ここで、スイッチS3の切換え信号は同期制御回路39からのREF/反転ACSとして与えられ、ラインアクセスのサイクルでは出力ラインアドレスとしてFIFO(A)、FIFO(B)側に切換えられる。

【0025】そして、このときスイッチS1がFIFO(B)37側に接続されているのでFIFO(B)37側にアクセスアドレスが記憶される。REF/反転ACSが“1”となると、スイッチS3はアドレスカウンタ38側に切換えられ、リフレッシュ動作を前サイクルの続きのラインから行う。図4においては、L3のライン出力後に前サイクルの続きである“4”、“5”、“6”、“7”のラインが出力されている。以下同様に
40 して、上述の動作を繰返すが、FIFOを2つ用意したのは、一方でメモリアクセスされたアドレスをサンプリングし、同時に他方でサンプリングしたアドレスを出力することを矛盾無く、かつ効率よく実行するためである。すなわち、アドレスのサンプリング期間は他方のFIFOのアクセスラインの出力開始から全面リフレッシュサイクルの終了までであり、全面リフレッシュサイクルの終了後、直前のサンプリング期間でサンプリングしたアドレスを出力するアクセスラインの書換えサイクルに入ると同時に、他方のFIFOのアドレスサンプリング期間が開始されることになる。

【0026】以上のように、本例の基本的動作ではリフレッシュサイクルとライン書換えのサイクルとを交互に繰返し、図4ではその繰返し周期を7ラインを1単位として $T_r : T_w = 4 : 3$ として説明したが、本例ではさらに温度等の環境条件や表示するデータの種類、あるいはさらにFLCDの表示デバイス素材の違い等に応じて要求されるリフレッシュレート等によって T_r と T_w の比率を変更可能とする。すなわち、 T_r の割合（1リ

フレッシュサイクル内のライン数Mに対応。すなわち $T_r = M \times (\text{HSYNCの周期})$ を大きくすればリフレッシュレートを向上することができ、例えば低温時等FLC素子の応答性が低い場合やイメージ画像を表示する場合においても良好な表示状態を得ることができる。逆に、 T_r の割合(1つの部分書換えサイクル内のライン数Nに対応。すなわち $T_r = N \times (\text{HSYNCの周期})$)を大とすれば部分的な表示の変更の応答性を高くすることができ、高温時や文字等キャラクタの表示時等、リフレッシュレートが高くなくてもよい場合に対応

10

【0027】また、本実施例では繰返し周期のライン数をも設定可能とすることで、リフレッシュサイクルおよび部分書換えの割合をより細かく変えることができるようにし、より細やかな最適化を図るようにする。例えば、リフレッシュレートを優先させなければならない、もしくは優先したい場合に、繰返し周期のライン数を40ラインにして $T_r : T_p = 4 : 1$ とすれば、全面リフレッシュを32ライン分行ってアクセスラインの書換えを8ライン行うことができる。また、部分書換えを優先

20

【0028】さらに、そのように設定された部分書換えのライン数の範囲内において、CPU11にアクセスされたライン数およびラインアクセス状態に応じ、リフレッシュサイクル間に行われる実際の部分書換えライン数Pを調整するようにすることも出来る。すなわち、CPU11がアクセスしたラインの数等に応じて動的に T_r

30

【0029】FLCD26の構成

図4はFLCD26の構成例を示す。ここで、261はFLCパネルであり、例えば、特開昭63-243919号公報に開示されたもののよう、間にFLCを封入した偏向子付きの上下一対のガラス基板、および上下のガラス基板上に設けた透明電極配線群等から成っている。上部ガラス基板上の配線群および下部ガラス基板上の配線群の配線方向は互いに直交する方向であり、表示画面の大きさ、解像度に応じて配線数は適宜定めることができる。本例では4pelの密度にて水平走査方向に960本、垂直走査方向に1312本の配線を設けており、配線の交叉部分に生じさせる電界の極性および強さによってその部分でのFLCの配向状態を変えることが

できるので、本例のFLCパネルの表示画素数は1312×960となる。

【0030】本例では水平走査方向に延在する1312本の配線群をコモン側配線と称し、これらに上記した順次のラインアドレスが割当てられる。また、垂直走査方向に延在する960本の配線群をセグメント側配線と称し、あるコモン側配線(ライン)を選択してこれを駆動するときにセグメント側配線群を駆動することにより当該ラインの表示、消去、更新が行われる。

【0031】図4において、263および265は、それぞれ、コモン側配線群およびセグメント側配線を駆動するための駆動部(それぞれコモン駆動部、セグメント駆動部という)であり、表示データに応じて適切な波形の電圧信号にて各配線を駆動する。その波形等については、例えば特開昭63-243919号公報に開示されている。

【0032】表示データ信号は、表示ラインに関し、そのラインアドレスを示す部分とそれに続くデータ群(960ドット分のデータ)とから構成されるシリアル信号Address/Dataとしてビデオメモリ41から入力される。また、当該信号のアドレス部分とデータ群とを識別するために、アドレス部分でH、データ群部分でLとなる識別信号AH/DLが供給される。データ変換部1267では当該識別信号AH/DLに基づいて表示データ信号Address/Dataからアドレス(ラインアドレス)Addressおよびデータ群Dataを分離し、それぞれコモン駆動部263およびセグメント駆動部265にセットする。また、水平走査信号HSYNCは、このデータ変換部267に対してFLC Dインターフェース側より送出されてくる。

【0033】さらに、1269は制御部であり、データ変換部1267に対する水平同期信号の非入力時にはコモン駆動部263およびセグメント駆動部265に対しFLCパネルの駆動を停止させる。これによりスタンバイモードに移行する。この駆動停止のためには種々の方式が考えられるが、例えば両駆動部に対しその出力電圧を一定値に保持させるようにすることができる。この場合コモンラインとセグメントラインとの間に電位差が無くなるので、FLC素子は駆動されず、従って本発明の主目的である長寿命化が達成できる。また、そのときの出力電圧を低いものとすれば、省電力化が達成できる。そして、このように駆動を止めても、FLC素子の特性により配向状態には変化が生じないので、表示機能が阻害されることはない。むしろ、非駆動状態とすることで表示の更新(リフレッシュ)も行われないうために、ちらつきのない表示状態が得られることになる。

【0034】図5は動作を説明するフローチャートである。すなわちCPU11からの表示領域内へのアクセスがある場合、書き換えの領域情報を得て、対応するコモン駆動部263、セグメント駆動部265を駆動する。

50

RHF/ACS		ラインのアダプス		ラインのアダプス		ラインのアダプス		ラインのアダプス		ラインのアダプス	
リフレッシュ		リフレッシュ		リフレッシュ		リフレッシュ		リフレッシュ		リフレッシュ	
T ₀		T ₁									
FIFO (A)	アクセスアドレスのサンプリング	アクセスするラインのアドレス出力		—		アクセスアドレスのサンプリング					
FIFO (B)	アクセスするアドレス出力	—		アクセスアドレスのサンプリング		アクセスするラインのアドレス出力		—			

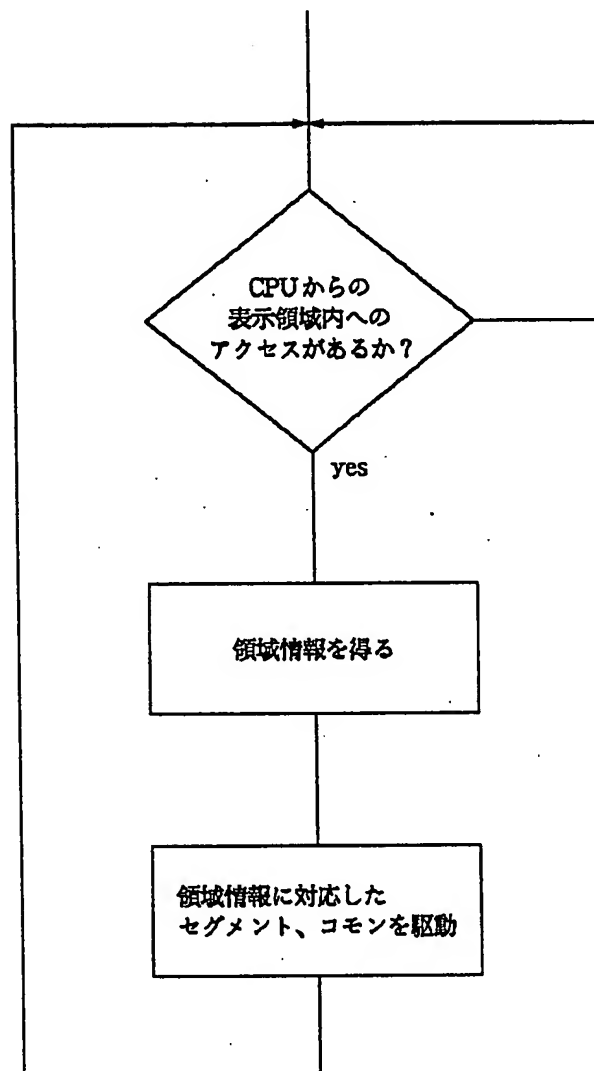
出力ライン

0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31

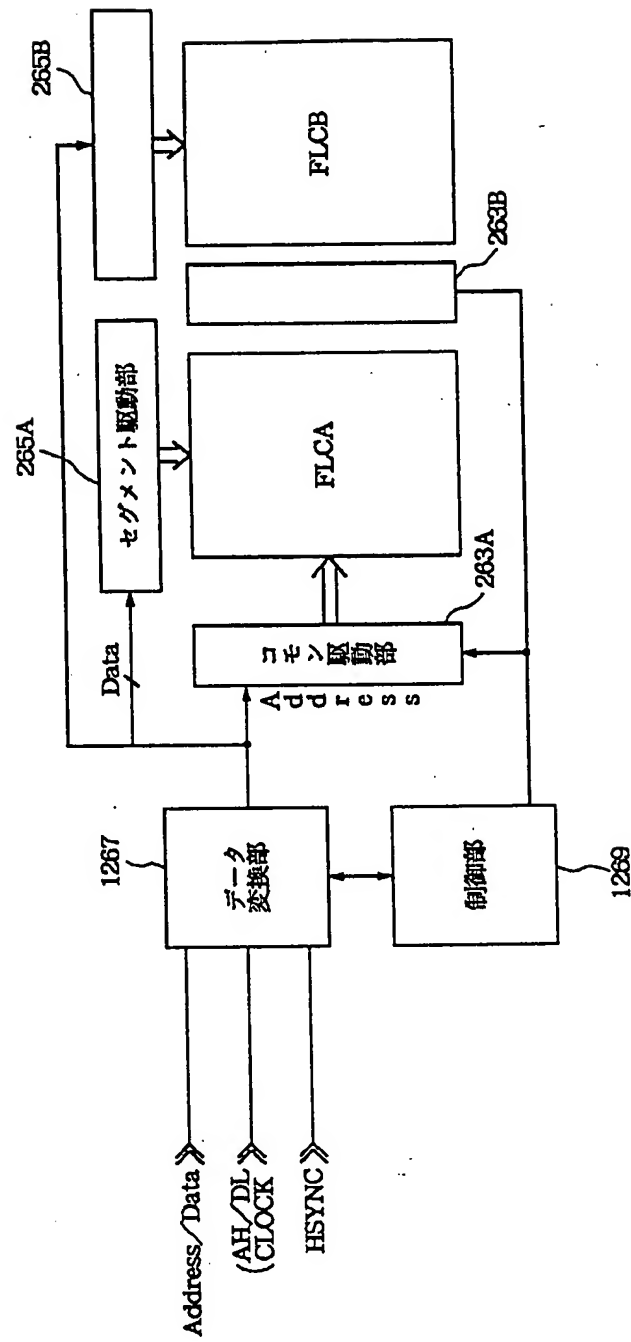
CPU1がアクセスするライン

11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31

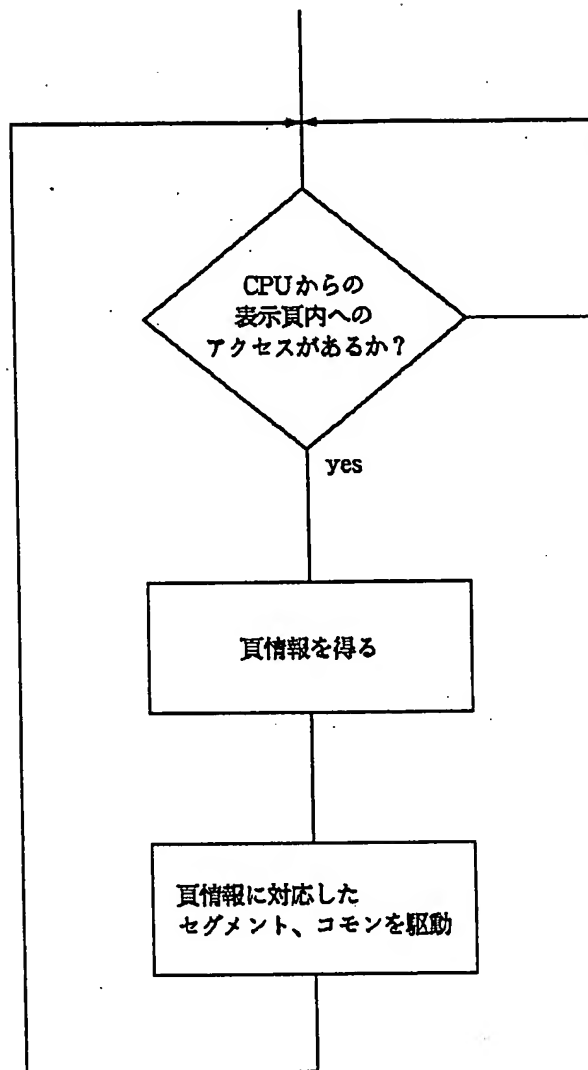
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 伊奈 謙三
東京都大田区下丸子3丁目30番2号キャノ
ン株式会社内